

一种同步流水算术编码器的设计

梅魁志, 郑南宁, 兰旭光, 姚 霁

(西安交通大学人工智能与机器人研究所, 710049, 西安)

摘要: 针对 JPEG2000 标准中的算术编码器实现时, 在上下文 (CX) 表更新、归一化及字节输出过程中具有返回或等待路径问题, 提出一种新的同步流水算术编码器设计方案. 该方案采用 4 步流水线设计, 通过流水线操作的时序分析, 得到了 CX 表的单步更新方法, 并设计了一种树型搜索的寄存器的短延时 0 位检测电路. 引入多路选择器来加速实现任意位左移, 在提高主关键路径并行性的同时, 采用了多种方法对寄存器传输级代码进行优化. 实验表明, 在 EP1S25B672C7 上, 最高工作时钟可达 107.91 MHz.

关键词: 算术编码器; 流水线; 关键路径

中图分类号: TN431.2 **文献标识码:** A **文章编号:** 0253-987X(2004)04-0331-04

Design of New Pipeline Arithmetic Encoder

Mei Kuizhi, Zheng Nanning, Lan Xuguang, Yao Ji

(The Institute of Artificial Intelligence and Robotics, Xi an Jiaotong University, Xi an 710049, China)

Abstract: Focusing on the problem of path waiting or circular which existed in updating of context (CX) table and the renorme and byteout in the realization of the conventional arithmetic encoder in JPEG2000, a four step pipeline architecture is employed to design an arithmetic encoder on FPGA platform to get high speed encoding. A new method of updating CX table is proposed; and a new circuit with short delay is implemented to detect the left zeros of A-register. Multiplexers are adopted to accelerate the left shift operation, and parallel processing based on data dependency is used to optimize RTL (Register Transfer Language) code to shorten the main critical path. Experimental result shows that the encoder can work up to 107.91 MHz on Altera's EP1S25B672C7.

Key words: arithmetic encoder; pipeline; critical path

算术编码的性能近似于霍夫曼编码, 它广泛应用于各种图像压缩和视频编码标准, 如 JBIG、JPEG 和 H.263. 在 JPEG2000 中使用的是基于上下文的自适应算术编码器, 但是标准中所提供的流程比较适用于软件的串行实现. 在 JPEG2000 芯片的开发中, 算术编码器的流水线结构是整个系统流水实现的有机组成部分, 在文献 [1] 中首次提出了使用 pipeline 来实现 JBIG 的算术编码, 并解决了流水线实现的关键点, 即输入连续上下文 (CX) 下的 CX 表的更新和算术编码器所用的 LPS 概率值 Q_c 的读取. 文献 [2]

在使用流水线设计的同时, 提出了一种 Bitstuffing 流程, 并给出概要结构设计, 文献 [3] 提出将寄存器 C 分成 16 位和 12 位以减少关键路径.

本文在深入分析相关设计和算术编码算法的基础上, 采用 4 步流水线结构, 设计了实现流水线的另一关键寄存器 A 的 0 位检测电路, 根据算术编码的移位特点, 采用多路选择器优化任意位左移设计. 对整个设计采用多种方法优化关键路径, 并用一种新的 CX 表更新逻辑, 最终在 FPGA 上以较优的资源和较高的运行速度实现了该算法.

收稿日期: 2003-07-10. 作者简介: 梅魁志 (1977~), 男, 博士生; 郑南宁 (联系人), 男, 教授, 博士生导师, 中国工程院院士. 基金项目: 国家“八六三”计划超大规模集成电路专项基金资助项目 (2002AA1Z1440); 国家自然科学基金优秀创新群体资助项目 (60024301); 西安市科技局创新工程资助项目 (CX2002-10).

1 基于上下文的算术编码^[4]

算术编码的实质是对一个区间进行递归的概率划分(如图1所示), M 子区间(对应MPS大概率编码)在 L 子区间(对应LPS编码)之上,输出码流指向当前子区间的底部.下面以MPS编码来说明编码过程.

设当前的区间为 A ,当前的LPS概率为 Q_c ,对当前输入进行MPS编码,则 $A(1 - Q_c)$ 为MPS子区间, AQ_c 为LPS的子区间.为了使操作易于硬件实现, A 需满足 $0.75 < A < 1.5$.这样,MPS和LPS子区间分别近似为 $A - Q_c$ 和 Q_c .在编码时, A 用16位寄存器表示,当 $A < 0X8000H$ (即0.75)时,需对 A 左移,直到 $A \geq 8000H$,称为归一化(renorme).

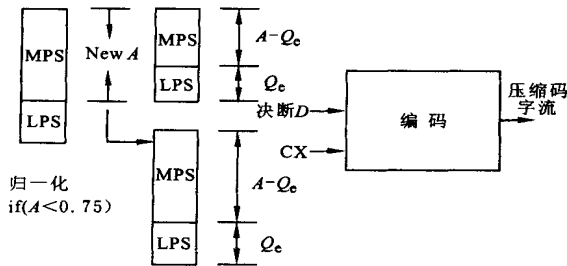


图1 MPS编码及算术编码接口示意图

JPEG2000的Tier1编码由位平面编码和算术编码组成,为了实现自适应的算术编码要使用两种表查询.整个算术编码的LPS概率源于协议所推荐的 Q_c 概率表(如表1),共有47行,其中 I 为表的索引,nMPS或nLPS是由当前的编码类型(codeMPS或codeLPS)来决定下一次编码的 Q_c 表索引值.switch为1时,在当前编码中可改变CX表中的MPS值.编码时需查询CX表(如表2),并与CX生成相对应,共有19行.从位平面编码器得到输入CX和决断 D ,首先由CX表查出 Q_c 表的索引(即地址) $I(CX)$ 和MPS值,再由 $I(CX)$ 查询 Q_c 表得出当前编码所需的 Q_c 值,由MPS和 D 决定进入codeMPS编码或codeLPS编码.编码结束后,再由nMPS或nLPS和switch来更新CX表中的 $I(CX)$ 和MPS值.

下面是算术编码的总流程.

Step1:执行Initenc,对编码时所调用的寄存器进行初始化.

Step2:读CX, $D(0,1)$.

Step3:编码,在编码中需引入归一化.

codeMPS的条件是

表1 概率估值

I	Q_c	nMPS	nLPS	switch
0	0X5601	1	1	1
1	0X3401	2	6	0
...
45	0X0001	45	43	0
46	0X5601	46	46	0

表2 CX表

CX	$I(CX)$	MPS
1	3	1

$$D \oplus \text{MPS}(CX) = 0$$

codeLPS的条件是

$$D \oplus \text{MPS}(CX) = 1$$

Step4: Flush,编码结束后输出寄存器 C 和缓存中的数据.

影响流水线结构的归一化的软件流程如图2所示.

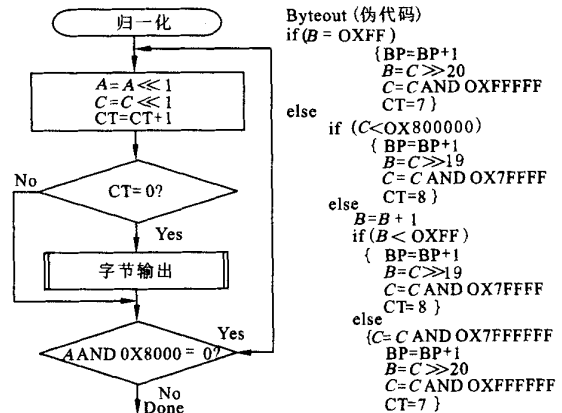


图2 归一化和字节输出流程图

2 算术编码器的流水线结构

算术编码器总流程的Step1和Step4操作并不作为流水线设计的组成部分,在本文中主要讨论Step2、Step3的编码过程.

下面分析编码的4步流水线.

CLK1:输入CX、 D 、nICX和nMPS,由输入的CX来查询CX表寄存器组,可得到要编码的 $I_1(CX)$ (Q_c 表存储器的地址)和MPS值.当条件满足时,用nICX和nMPS来更新CX表值;当输入CX所对应的CX

表未更新时, Q_e 表的地址由 $I_2(CX)$ 来决定.

CLK2: 输入的 $I(CX)$ 作为 Q_e 表存储器的地址, 查出 Q_e 值 (在下一个时钟输出时). 为了处理连续 CX 输入, Q_e 表存储内容改为 $cur-Q_e$ 、 $nMPS-Q_e$ 、 $nLPS-Q_e$ 、 $switch$ 、 $nMPS$ 和 $nLPS$.

CLK1 和 CLK2 如图 3 所示.

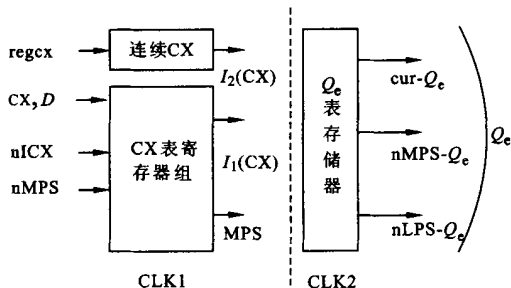


图 3 流水线的第 1 和第 2 阶段示意图

CLK3: 输入 Q_e 和类型 (1 为 codeMPS, 0 为 codeLPS), 输出如图 4 所示.

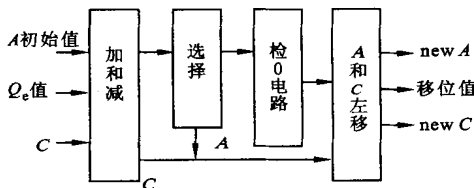


图 4 优化后第 3 阶段的框图

CLK4: 输入寄存器 C 的高 12 位及寄存器 C 的低 16 位与 Q_e 值相加而得到的进位位. 移位计数器 CT 与移位值先进行比较, 以确定第一次左移; 再判断两次字节输出过程; 最后进行第二次左移操作, 以得到下一步操作所需的新的寄存器 C 的高 12 位, 同时在字节输出过程中输出编码字节. CLK4 如图 5 所示.

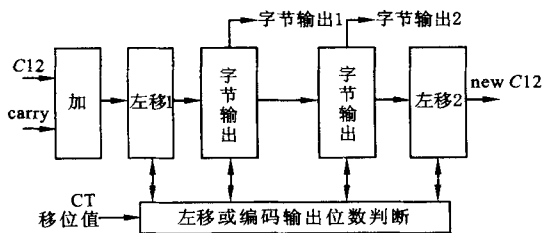


图 5 优化后第 4 阶段的框图

由于 CX 表是由寄存器组实现的, 所以 CX 表的更新和 $I(CX)$ 、 MPS 的读取可在 1 个时钟内完成, Q_e 表的输出若用 EP1S25 的同步 SRAM 当作同步 ROM, 在地址已被时钟上升沿采样后, 此时钟内输出如图 6 所示.

对于连续的同— CX 输入, 在流水线中的

CLK3, 第一次 (3CK, 相当于时间坐标中时钟序号) 使用的概率值为 $Q_e = Q_e1$, 在 4CK 中, 由于 CX 表尚未更新, 即 2CK 和 3CK 中输出的 Q_e 信息是一样的, 但由 3CK 阶段所走的编码通道可决定 CX 的新值为 $nMPS$ 、 $nLPS$ 、或原值, 相应的在 4CK 中所用的 Q_e 应为 Q_e2 、 $nMPS-Q_e2$ 或 $nLPS-Q_e2$. 也就是说, 在 3CK 中, 若此时外部输入的 CX3 和 CX1 相同, 则 $I(CX)3$ 的值根据编码状况可为原 CX 值或 $nMPS$ 、 $nLPS$ 值, 同时在此阶段对 CX 表进行更新. CX 表的更新必须在流水线中的 CLK3 阶段, 即 CX 更新相对于读取滞后 2 个时钟周期, 而在此期间的 Q_e 表的读取主要依赖改进的 Q_e 表的存储结构.

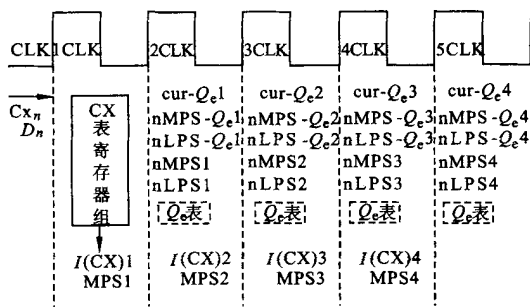


图 6 Q_e 表的流水线读取示意图

Q_e 、 $nMPS-Q_e$ 和 $nLPS-Q_e$ 的选取, MPS 值的确定, 以及编码类型的判断, 都可在流水线的 CLK2 阶段完成. $I(CX)$ 需在 CLK1 中完成取值判断, 这样使复杂的判断逻辑分散在多个流水线阶段.

3 算术编码器的流水线设计

3.1 寄存器 A 的 0 位检测电路

在 CLK3 中, 当寄存器 A 更新后, 在此阶段对其左移, 以使值大于 8000H. 为此, 需要先确定左移的移位值 (shiftbit[3..0]), 再进行左移.

下面是其门级电路的伪代码算法.

```

if (A15 | A14 | .. | A8) = 1
    shiftbit[3] = 0;
else
    shiftbit[3] = 1;
if ((A15 | A14 | A13 | A12) = 1) & (shiftbit[3] = 0)
    shiftbit[2] = 0;
else shiftbit[2] = 1;
else if (A7 | A6 | A5 | A4 = 1) (shiftbit[3] = 1)
    shiftbit[2] = 0;
else
    shiftbit[2] = 1
    
```

该算法共分4步,相当于二叉树搜索确定左移位数,这样在得到 shiftbit 时的组合门延时相对较短.

3.2 关键路径的优化

在算术编码的流水线设计完成后(这主要由算法自身的数据相关性决定),该设计最终能否被采用应取决于设计中的时钟频率要求(即关键路径长度).

CLK3的优化:在CLK3中按原流程存在串行的16位减法($A = A - Q_c$)、16位比较器(A, Q_c)和16位加法($C = C + Q_c(I(CX))$),在时间成为设计的约束后,将串行流程尽可能改为并行流程.修改后的流程如下.

Step1: $A = A - Q_c, A_1 = A - 2Q_c, C_1 = C + Q_c$.

Step2: 根据编码流程选择A值和C值.

Step3: 左移位数确定.

Step4: 同时左移A和C.

其中,用 A_1 的高位发生借位与否来比较 $A - Q_c$ 与 Q_c 的大小,使 A_1 与A并行执行,这样关键路径大为减短.

CLK4优化后的设计步骤如下.

Step1: C的高12位和低位进位相加,完成C更新;比较 shiftbit 和 CT 计数器的值,以产生第一次左移位数.

Step2: 第一次左移.

Step3: 字节输出1条件满足.

Step4: 字节输出2条件满足.

Step5: 决定最后一次左移的位数.

3.3 设计中的电路优化

选用的器件均为 EP1S25B672C7,设计流程为 Synplify + Quartours, CLK3、CLK4 的所有优化后的结果分别为 107.91 MHz 和 110.68 MHz. 以下都只是改变一项的优化结果.

左移 n 位的设计如下.

在 CLK3 中,对左移 A 和 C 若使用“ \ll ”运算符, f_{\max} 为 102.33 MHz;若 A 和 C 的高两位使用分级的多路选择器来实现,即

if shift[$i - 1$] = 1

$$A_i[n] = A_{i-1}[n - 2^{i-1}], n \geq 2^{i-1}$$

$$A_i[n] = 0, n < 2^{i-1}$$

else

$$A_i[n] = A_{i-1}[n]$$

$$i = 3, 4; A_2 = A \ll \text{shift}[1 \ 0]$$

则 f_{\max} 最优可达 107.91 MHz,速度的差异是由参与运算的两个输入的不同时性决定的.

比较器设计如下.

在电路的实现中,为了避免使用比较器,可用减法来代替.设 A、B 为 n 位数, C 为 $n+1$ 位数,则用 $C = \{1 \ b1, A\} - \{1 \ b0, B\}$ 来实现 $(A > B) ?$ 或 $(A < B) ? (A = B) ? 0$ 的逻辑,这时若 C 的最高位为 1,则 $A > B$. 在 CLK3 中, $(A - Q_c)$ 与 Q_c 按常规流程作, $f_{\max} = 88.42$ MHz.

从综合后的电路来看,比较器在比较大小时易产生级联电路,带有优先级,在判断“=”时门电路会采用并行结构;在实现时,字节输出中的 $B = B + 1$ 、 $B < 0XFF?$ 可用 $B = 0XFE$ 来替代.如不用此优化, $f_{\max} = 104.79$ MHz,基准为 CLK4 的结果 $f_{\max} = 110.68$ MHz.

控制逻辑简化如下.

对于复杂控制逻辑条件,多种 if and else 结构通过转化为平行的 case 语句来实现.在 CLK3 的 Step2 中按协议的算法流程编程, $f_{\max} = 97.69$ MHz.

同步流水的算术编码器设计,由于数据流的本身限制,不能使用增加流水线的级数来增加系统工作时钟.因此,在得到优化后的寄存器间主关键路径后,为了使由此主路径得到的组合门延时最小,需对关键路径上的控制信号优化,使其先于主路径上的相应数据流.

4 结 论

同步流水的算术编码器的设计,对 JPEG2000 ASIC 的设计意义重大,实现了 1 个时钟编码 1 个输入,在设计上省去了位平面编码和算术编码之间的数据缓冲区,减少了复杂的控制电路,提高了整个系统数据流的实时性.在决定 Tier1 结构时,可根据位平面编码器的速度选用 n 个位平面编码器加算术编码器的结构.

本文在文献[2,3]中所提出的算术编码器流水线设计的基础上,设计了寄存器的 0 位检测电路,并通过优化算法得到主关键路径之后,采用多种方法对基于 FPGA 验证的算术编码器的关键路径实现

(下转第 356 页)

到了很大改善,同时电缆的交流损耗也相应地降低.

参考文献:

[1] Mukoyama S, Miyoshi K, Tsubouti H, et al. Uniform current distribution conductor of HTS power cable with variable tape winding pitches[J]. IEEE Transactions on Applied Superconductivity, 1999, 9(2): 1 269 ~ 1 272.

[2] Mukoyama S, Miyoshi K, Tsubouti H, et al. 50 m long HTS conductor for power cable[J]. IEEE Transactions on Applied Superconductivity, 1997, 7(2): 1 069 ~ 1 072.

[3] Olsen S K, Daumling M, Ostergaard J, et al. Loss and inductance investigations in a 4-layer superconducting prototype car

ble conductor [J]. IEEE Transactions on Applied Superconductivity, 1999, 9(2): 833 ~ 836.

[4] 李 健, 林良真. 高温超导交流输电电缆导体层电流分布研究[J]. 电工电能新技术, 2000(2): 7 ~ 10.

[5] 林玉宝, 林良真, 李绍萍, 等. 1 kA 级铋系高温超导模型电缆的研制[J]. 低温物理学报, 1999, 21(2): 122 ~ 130.

[6] Lee Ji-kwang, Cha Guesoo. AC loss calculation of a multi-layer HTS transmission cable considering the twist of each layer [J]. IEEE Transactions on Applied Superconductivity, 2001, 11(1): 2 433 ~ 2 436.

(编辑 杜秀杰)

(上接第 334 页)

优化. 实验结果表明,基于流水线的算术编码器可以用在 JPEG2000 的芯片设计中. 在 Altera 的 stratix 器件 EPS1S25B7672C7 上,CLK3 的关键路径为 9.267 ns,所用逻辑单元(LE)为 183;在 CLK4 中的关键路径为 9.035 ns,所用 LE 为 165,而整个系统资源的增加仅为存储修改的 Q_c 表所需要的片内 ROM 和与 CX 更新相关的逻辑判断.

参考文献:

[1] Tarui M, Oshita M, Onoye T, et al. High speed implementation of JBIG arithmetic coder [A]. TENCON, Cheju Island, South Korea, 1999.

[2] Ong K K, Chang W H, Tseng Y C, et al. A high throughput context-based adaptive arithmetic codec for JPEG2000 [A]. IEEE Int Symp Circuits and Systems, Phoenix Scottsdale, USA, 2002.

[3] Chen K F, Lian C J, Chen H H, et al. Analysis and architecture design of EBCOT in JPEG2000 [A]. IEEE Int Symp Circuits and Systems, Sydney, Australia, 2001.

[4] ISO/IEC JTC1-SC29-WG1 N1646R, JPEG2000, part 1: Final committee draft version 1.0 [S].

(编辑 苗 凌)

《西安电子科技大学学报》2003 年第 6 期目次

基于免疫反馈机理的温度自动控制研究 过润秋,王小红(717)

混合流程生产系统优化调度模型 牛海军,马建辉(722)

高速反辐射导弹探测方法研究 陈伯孝,吴铁平,张伟,等(726)

倒谱域音频与图像水印算法 张敏瑞,易克初(730)

屏蔽电缆的抽头效应分析 邱 扬,赵大浩,田 锦(734)

InISAR 三维成像中的 ISAR 像失配准分析及其补偿方法 罗斌凤,张 群,袁 涛,等(739)

消光比对光双二进制传输性能的影响 胡辽林,刘增基(744)

计算电磁学中稠密线性方程组的迭代求解 项铁铭,梁昌洪(748)

FPGA 开关块拓扑的评估 高海霞,杨银堂,郑泉智(752)

冷却塔表面温度场的理论计算 杨 威,刘 鑫,张建奇,等(756)

MBPE 技术快速分析导体散射的频空二维特性 万继响,宗卫华,梁昌洪(761)

一种精确的前斜视 SAR 方位高分辨分析方法 李 树,赵亦工,买买提依明(766)

4H-SiC 器件击穿特性的新型解析模型 吕红亮,张义门,张玉明(771)

非视距传播环境下对移动用户定位的 AOA 方法 田孝华,廖桂生,赵修斌(775)

基于复子波的多子波构造 李卫斌,刘 芳,焦李成(780)

基于代理签名链的安全移动代理 张键红,伍前红,王育民(784)

基于 RSA 函数的实用电子拍卖方案 伍前红,朱晓妍,王育民(788)

蜂窝移动通信基站天线技术研究进展 陈胜兵,焦永昌,张福顺,等(792)

天线近场测量系统中位置控制方法的研究 刘少东,刘淑芳,张福顺,等(798)

智能天线阵列单元阵中方向图畸变分析 卜安涛,史小卫,李 平(802)

VOD 视频服务器上用户请求的优先获准策略 周 宁,姜昱明(806)

微波二极管检波特性分析 刘 丹,尹应增,史小卫(810)

