

基于 JPEG2000 芯片的小波系数存储器设计

梅魁志, 郑南宁, 王 勇, 曹 非, 兰旭光

(西安交通大学人工智能与机器人研究所, 710049, 西安)

摘要: 针对 JPEG2000 芯片设计中的完全小波系数存储占用大量存储器问题, 在小波变换总体结构中对小波系数的 LH、HL 和 HH 子带采用双缓存的物理存储结构. 为了解决由此产生的写覆盖, 首先建立小波滤波器的时序模型, 得到输入输出延时时钟数, 根据此时钟数和缓存标志位的状态决定其输入地址发生器的地址产生, 以实现可控的小波滤波器输出. 在图像大小为 256 × 256 像素、码块大小为 16 × 16 像素时, 与完全系数存储结构相比, 该结构可节约片上存储器达 576 kb. 通过对子带内小波系数的分布模型和缓存内的位平面数统计分析表明, 该结构对编码并行性的影响较小, 仿真实验同时证明了并行效率的降低不会超过 2%.

关键词: JPEG2000; 离散小波变换; 小波系数存储; 双缓存; 并行效率

中图分类号: TN406 **文献标识码:** A **文章编号:** 0253 - 987X(2004)10 - 1072 - 04

Memory Design of Wavelet Coefficients Based on JPEG2000 Chip

Mei Kuizhi, Zheng Nanning, Wang Yong, Cao Fei, Lan Xuguang

(Institute of Artificial Intelligence and Robotics, Xi an Jiaotong University, Xi an 710049, China)

Abstract: Focusing on the large memory occupied by full saved wavelet coefficients in JPEG2000 chip design, a dual buffer is applied to save the subband coefficients such as LH, HL, and HH in the discrete wavelet transform (DWT) architecture. In order to solve the problem of overlay writing of memory, the number of delay clocks between the input and output to the wavelet filter is established by its time sequence, and the clock number and the status of the tag bit of the buffer are used to determine the address generating of the input address generator, so that the controllable output of the wavelet filter can be realized. The on-chip RAM saved is up to 576 kb when the image tile size is 256 × 256 pels and the code block size is 16 × 16 pels. The architecture is verified to have less effect on the parallel encoding efficiency according to the distribution model of the wavelet coefficients and the statistical bit planes in the buffer. Simulation results also show that the decrease of parallel efficiency is less than 2%.

Key words: JPEG2000; discrete wavelet transform; wavelet coefficient memory; dual buffers; parallel efficiency

JPEG2000 是新一代的图像压缩标准, 其核心算法为离散小波变换 (DWT) 和优化截断嵌入编码 (EBCOT)^[1]. 自 DWT 用于图像视频压缩之后, 出现了许多 VLSI 的实现结构, 如基于行的二维小波变换^[2]. JPEG2000 的编码是基于码块的编码 (码块大小为 $M \times M$), 若输入为大图像 (行宽为 L), 则形成

编码码块所必需的 DWT 系数的缓存为 $ML \cdot b$ (b 为 DWT 的系数精度), 且形成的二维 DWT 并行处理所必需的行缓存为 $9L \cdot b$, 这不易于片内集成. 因此, 本文的 DWT 总体结构采用外部 SDRAM 作为输入图像帧存, DWT 的处理按片 (Tile) 进行 (大小为 $N \times N$), 行列采用并行处理结构.

收稿日期: 2003 - 11 - 02. 作者简介: 梅魁志 (1977 ~), 男, 博士生; 郑南宁 (联系人), 男, 教授, 博士生导师, 中国工程院院士. 基金项目: 国家高技术研究发展计划超大规模集成电路设计资助项目 (2002AA1Z1440); 国家自然科学基金优秀创新研究群体资助项目 (60024301); 西安市科技局创新工程资助项目 (CX2002 - 10).

1 小波变换的总体结构

在芯片设计中,DWT 既与输入的源图像有联系,其输出又是 EBCOT 的输入源,如图 1 所示.

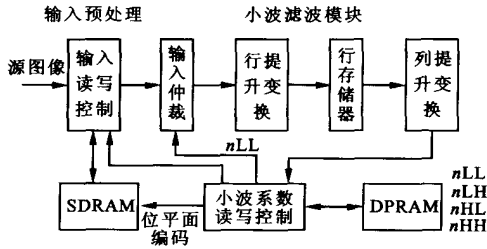


图 1 DWT 总体结构

源图像在输入时首先写入帧存储器 SDRAM. 在进行第一级 DWT 分解时,从帧存储器中将源图像的数据按 Tile 传给小波滤波器,对于大图像,则片内存储区的数量级等同于 Tile 的大小. 若小波分解级数为 $n+1$ 级 ($n > 1$),小波滤波器的输入数据来源于 nLL (第 n 级的 LL 子带),则由输入仲裁模块来完成输入的选择并发出 nLL 子带的读取请求. 小波系数读、写控制模块负责将小波滤波器的计算输出所产生的系数存入片内双端口 RAM (DPRAM),同时根据位平面编码器的状态将各子带 (LL, HL, HH, HL) 数据按码块输出,如图 2 所示.

1	2	3	4
5	6	7	8
9	10	11	12
13	14	15	16

图 2 1LH 子带内的分码块示意图

2 小波滤波器的结构及时序分析

2.1.1 提升算法及一维 DWT 时序分析

假定 DWT 的变换核选用 CDF9/7, 输入为 $X(n)$, $i_0 < n < i_1$, $X_{ext}(n)$ 为 $X(n)$ 的扩展,则一维提升 (lifting) 算法表述如下.

$$\text{第 1 步: } Y(2n+1) = X_{ext}(2n+1) + [X_{ext}(2n) + X_{ext}(2n+2)].$$

$$\text{第 2 步: } Y(2n) = X_{ext}(2n) + [Y(2n-1) + Y(2n+1)].$$

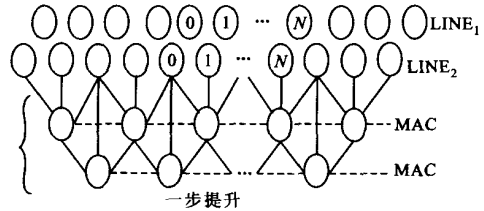
$$\text{第 3 步: } Y(2n+1) = Y(2n+1) + [Y(2n) + Y(2n+2)].$$

$$\text{第 4 步: } Y(2n) = Y(2n) + [Y(2n-1) + Y(2n+1)].$$

$$\text{第 5 步: } Y(2n+1) = -KY(2n+1).$$

$$\text{第 6 步: } Y(2n) = \left(\frac{1}{K}\right)Y(2n).$$

其中,第 1~第 4 步为提升步,第 5、第 6 步为尺度变换步. 由此可以得到如图 3 所示的滤波器的空间运算关系,假设输入 $X(n)$ 为偶数^[3].



LINE₁、LINE₂ 表示输入的 2 行数据

图 3 一维 DWT 空间结构

滤波的主要操作为乘加操作 ($a + b(x + y)$). 为了获得 100% 运算单元硬件利用率,应同时输入 2 行数据,且 2 行间距为一个时钟 (内部的乘加操作根据奇偶性可复用). 图 3 中仅列出 9/7 的一步提升 (共两步) 以说明时序,其行滤波器的输出与输入时序关系式为

$$LINE_1: Y(n_1) = X(n_1) + T_{1d}$$

式中: T_{1d} 为行滤波器流水实现的插入寄存器延时.

2.1.2 二维 DWT 时序分析及 DWT 输出

在一维 DWT 的空间关系图的基础上,为了使行列滤波器能并行处理,应使用 9N (9 行) 的行存,并采用先进先出 (FIFO) 的处理方式. 列滤波将预先存放的 8 行数据和当前正在输入的,2 行中的 1 行数据作为输入,数据处理完成后,9 行中最早的 2 行数据将被写覆盖. 考虑到对称扩展,当一维行滤波器输出结果在行存储器中满 4 行时,即可进行列滤波. 这样,列滤波器的输出可设为 $Z(nc)$,则相对于 $X(nl)$ 的输入延迟为 $2(T_l + T_{1d}) + T_{1d} + T_{cd}$,其中 T_l 为 1 行长度的延时, T_{cd} 为列滤波器流水实现的插入寄存器延时. 列滤波器输出时序如图 4 所示,由于列滤波器的输出是排列为同方向的 L、H 滤波同时输出,且行滤波器一次输入 2 行,故若其内部硬件利用率为 100%,故输出也为 2 行.

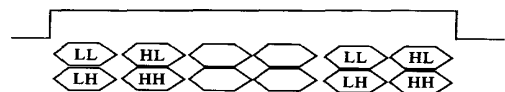


图 4 列滤波器输出时序

3 DWT系数存储及其控制

3.1.1 DWT系数存储结构

根据小波变换输出和位平面编码器输入的要求,存储器选用如图5所示的物理结构.使用2块存储器,记为MEM₁、MEM₂,都为片内同步DPRAM. MEM₁的存储空间为(N²/4) × 24 b, MEM₂的存储空间为3NM × 16 b,分别存储小波系数的LL、LH、HL和HH子带数据. MEM₂中的3个子带是按不同的基地址依次存放的.在进行第n(n > 1)级小波变换时,从MEM₁中读取(n - 1)LL子带的数,并输入给行滤波器.变换后的nLL子带数据写入MEM₁,而nLH、nHL和nHH子带数据分别写入MEM₂中的LH、HL和HH存储区.由此,子带内的数据相对于子带存储区是按Z字形逐行存放. LH存储区的大小为MN,组成M × N/2的双缓存,分别为LH₁、LH₂.

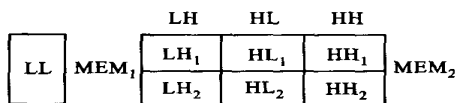


图5 DWT系数物理存储示意图

3.1.2 小波系数存储器控制

(1) 写控制. 通过对小波输出时序的分析表明,对输入数据进行延时处理后,可将同时输入的2个数据分开,以写入存储器.因此,对DWT变换后的输出系数应立即写到系数存储器的相应位置,其在存储器的总线使用上具有最高优先权,当LH₁的存储器已写到第M行时,LH₁满标志位置为1.

(2) 读出控制. 在小波系数输出模块控制下,若已写满3个存储器中的任一缓存时,如LH₁、HL₁或HH₁,此时已形成码块,开始输出码块数据,此后的小波系数输出写入LH₂等缓存区,依次交叉存取.码块数据的读取循环次序按先子带,后码块,最后为小波分解级数,即1LH - 1(1LH的第一个码块),1HL - 1,1HH - 1,1LH - 2,...位平面编码器在读入码块数据后会先缓存,以供在分位平面时使用,因此码块的输出数据在数据使能线的标识下可以连续或不连续地输出,简化了小波系数输出控制.当缓存中的码块数据都已读出时,将该缓存的标志位清0.

3.1.3 小波滤波器的输入控制

为小波滤波器输入源引入以下控制关系.

若x为小波滤波器的输入行数,则当进行第n级小波变换时,执行: 延时计数器清0,连续输入数据源(x = M + 2),否则执行: 延时计数器从0

开始计数至T_{ld} + T_{cd},并进行检测.检测方法为:当HH₁和HH₂的2个存储器满标志位均为1时,不输入数据,否则启动地址发生器,产生连续输入的2行数据,并对延时计数器清0,返回到.

这样,在进行1级小波分解时,可将上述条件作为小波输入预处理的SDRAM的线性地址发生器上的约束,在进行n级分解时,也在小波系数读写模块上引入该约束.通过控制小波滤波器的输入,使得在缓存标志位均为1时,滤波器恰无输出,从而避免了缓存中小波系数的写覆盖.

4 系统的编码并行性分析

4.1.1 码块的最大位平面数统计分析

码块编码所需的时钟数是由位平面编码器的扫描速度和最大位平面数共同决定的,扫描速度与具体的实现结构有关,相对恒定,而码块的位平面数由码块内幅值最大系数的最高有效位(MSB)决定.由于图像内容的丰富性,无法给出具有普适性的统计模型.假设图像经过小波变换后的系数在子带上服从高斯概率分布^[4],又设子带内小波系数为,方差为²,则高斯概率P(| | 2) = 4156%, P(| | 4) = 0, P(| |) = 31174%.对任一码块内的小波系数,假设取值为独立同分布,定义事件A:至少存在一个满足| | 2,定义事件B:满足| | <,定义事件C:满足| | > 2,则

$$P(A) = 1 - \sum_{n=0}^{256} P(B)^i P(C)^{256-i} \quad 1$$

这说明A接近必然事件,反映了同一子带内码块的位平面数变化平缓.

用Lena、Airplane等几幅图像进行了实验,所有输入图像为256 × 256像素的灰度图像,码块大小为16 × 16像素,用9/7小波2级分解,1LH写入LH₁、LH₂各4次,2LH写入LH₁、LH₂各1次,实验结果如表1所示.

表1 HL_{1,2}、LH_{1,2}、HH_{1,2}的位平面数之和

写次数	缓存中的位平面数之和				
	Airplane	Lena	Peppers	Baboon	Boat
1	71	76	90	132	61
2	61	99	105	134	77
3	70	97	104	112	91
4	120	105	110	111	115
5	109	105	102	113	115
6	115	94	79	115	114
7	97	105	82	122	106
8	111	90	109	123	106
9	142	146	153	149	136
10	147	153	151	150	152

由表可见,同一图像的相邻2个缓存中的待编

码的位平面数变化平滑.

412 编码并行性计算

如图 6 所示,小波变换启动后,在连续输入 4 行(对 9/7 小波)后开始输出,输入的行与行之间的间隔时间固定为 16 个时钟(假设此时对小波滤波器输入不引入反馈调节),则将双缓存中一个缓存写满所需的输入行数为

$$LINE_{in} = \left(4 \frac{N}{2} M \right) / \left(2 \frac{N}{2^{n-1}} \right) = 2^{n-1} M$$

输入的间隔时间为

$$t_{in} = LINE_{in} \left(\frac{N}{2^{n-1}} + 16 \right) = (N + 2^{n+3}) M t_1$$

式中: t_1 表示小波滤波器的工作时钟周期.

设扫描并编码一行数据需要 6 个时钟,则在 t_{in} 对应的时间内能处理的位平面数为

$$k = \frac{t_{in}}{M^2(6/4) t_2} = \frac{8(N + 2^{n+3}) M}{6MM}$$

式中: t_2 表示位平面编码器的工作时钟周期. 取 $N = 256, M = 16, n = 1$, 则 $k_1 = 22$.

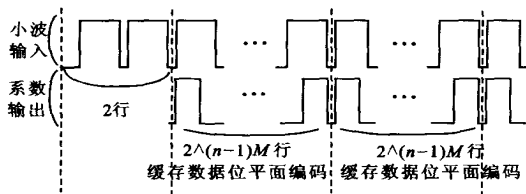


图 6 DWT 和位平面并行执行示意图

由表 1 可见,属于 LH、HL 和 HH 缓存中所含的位平面数均大于等于 k_1 ,此时编码速度完全受限于位平面编码器,对系统性能并无影响.

若使用 3 个位平面编码器,当位平面数小于 22×3 时,编码速度受限于由双缓存所引起的小波系数输出的不连续性,但对系统性能的影响仍较小,这主要是因为缓存中的位平面数具有加权作用,在相邻的缓存中没有出现如 (35, 150, 60) 这样剧变的位平面数.

413 两种 DWT 系数存储的仿真结果比较

由上述可知,这种结构对编码并行性的影响主要在于相邻的缓存中的剧变位平面数. 分别对 2 种 DWT 系数的存储结构 ($N^{2^{15.6}}$) 和双缓存结构 ($N^2/2$) 进行仿真,取 5 个位平面编码器以模拟极端情况,即 $k_1 = 110$.

设 $A(1), \dots, A(N^2)$ 为输入图像源数据, $B(1), \dots, B(N^2)$ 为给位平面编码器的小波系数数据, T_{st}^{DWT} 为输入 $A(1)$ 的时刻, T_{end}^{DWT} 为输入 $A(N^2)$ 的时间,

T_{end}^{BP} 为输出 $B(N^2)$ 的时间,则并行效率

$$= (T_{st}^{DWT} - T_{end}^{DWT}) / (T_{st}^{DWT} - T_{end}^{BP})$$

仿真结果如表 2 所示.

表 2 两种 DWT 系数存储的仿真结果

	/ %				
	Airplane	Lena	Pepper	Baboon	Boat
N^2	83	82	81	82	80
$N^2/2$	82	81	80	81	80

5 结 论

本文在 JPEG2000 芯片设计中,提出了一种新的小波系数存储方案,该方案对小波系数的 LH、HL 和 HH 子带采用了双缓存的物理存储结构. 通过建立小波滤波器的时序模型可获得输入输出延时的时钟数,与存储器标志位的状态相结合,实现了小波滤波器的可控输出. 使用的片上存储器为 $N^2/4 + 3NM$ b,在 $N = 256, M = 16$ 时,减少的片上存储区为 $36\ 864 \times 16$ b(小波系数精度取 16 b). 通过子带内的小波系数分布模型和缓存内的位平面数的统计,结果表明此结构对整个编码系统的并行性效率并无影响,仿真实验同时证明了并行效率的降低不会超过 2%.

参考文献:

- [1] Marcellin M W, Gornish M, Bilgin A, et al. An overview of JPEG2000 [A]. Data Compression Conference, Snowbird, USA, 2000.
- [2] Chang W H, Lee Y S, Peng WS, et al. A line2based memory efficient and programmable architecture for 2D DWT using lifting scheme [A]. Materials Research Society Symposium, San Francisco, 2001.
- [3] 兰旭光,郑南宁. JPEG2000 二维离散小波高效变换并行的 VLSI 结构设计 [J]. 西安交通大学学报, 2004, 38 (2): 149 - 153.
- [4] Kivanc Mihcak M. Low - complexity image denoising based on statistical modeling of wavelet coefficients[J]. Signal Process2 ing Letters, 1999, 6(12): 300 - 303.
- [5] Andra K. A VLSI architecture for lifting2based forward and inverse wavelet transform [J]. Signal Processing, 2002, 50 (4): 966 - 977.
- [6] DSPworx Inc. DSW2000S data sheet [EB/OL]. http: www. dspworx. com, 2002 - 02 - 25.

(编辑 苗 凌)